

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

15307517

Basic Patent (No,Kind,Date): CN 1090426 A 19940803 <No. of Patents: 043>

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME  
(English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB (JP)

Author (Inventor): ZHANG HONGYONG (JP); UOCHI HIDEKI (JP); TAKAYAMA TORU (JP)

IPC: \*H01L-021/02; H01L-021/324; H01L-021/70

CA Abstract No: \*122(24)304599T; 125(24)314343F; 126(16)219538K

Language of Document: Chinese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
CN 1090426	A	19940803	CN 93121667	A	19931204	(BASIC)
CN 1101167	A	19950405	CN 94107606	A	19940526	
CN 1152792	A	19970625	CN 96114412	A	19961101	
CN 1222752	A	19990714	CN 98118382	A	19980815	
CN 1258102	A	20000628	CN 99120260	A	19990924	
CN 1258104	A	20000628	CN 99120259	A	19990924	
CN 1285611	A	20010228	CN 2000103833	A	20000228	
CN 1348199	A	20020508	CN 2001133094	A	20010913	
CN 1052570	B	20000517	CN 93121667	A	19931204	
CN 1058584	B	20001115	CN 94107606	A	19940526	
CN 1091943	B	20021002	CN 96114412	A	19961101	
<b>JP 6267989</b>	A2	19940922	JP 9379006	A	19930312	
JP 7045519	A2	19950214	JP 93204775	A	19930727	
JP 7074365	A2	19950317	JP 94131413	A	19940520	
JP 7183538	A2	19950721	JP 93347643	A	19931224	
JP 7226373	A2	19950822	JP 93329760	A	19931201	
JP 7231100	A2	19950829	JP 94335043	A	19941219	
JP 11097353	A2	19990409	JP 98204533	A	19941219	
JP 2000306836	A2	20001102	JP 2000108110	A	20000101	
JP 2001053006	A2	20010223	JP 2000209007	A	20000101	
JP 2791635	B2	19980827	JP 93347643	A	19931224	
JP 2852853	B2	19990203	JP 93204775	A	19930727	
JP 2873669	B2	19990324	JP 94335043	A	19941219	
JP 3241515	B2	20011225	JP 93329760	A	19931201	
JP 3241667	B2	20011225	JP 98204533	A	19941219	
JP 3359691	B2	20021224	JP 9379006	A	19930312	
KR 180573	B1	19990320	KR 9411756	A	19940526	
KR 186746	B1	19991001	KR 9826711	A	19980703	
KR 9704450	B1	19970327	KR 9326648	A	19931204	
US 5403762	A	19950404	US 266712	A	19940628	
US 5403772	A	19950404	US 160908	A	19931203	
US 5563426	A	19961008	US 341106	A	19941118	
US 5572046	A	19961105	US 365744	A	19941229	
US 5604360	A	19970218	US 248220	A	19940524	
US 5888857	A	19990330	US 661013	A	19960610	
US 6140165	A	20001031	US 709111	A	19960906	

US 20020037609	AA	20020328	US 993492	A	20011127
US 20020163043	AA	20021107	US 180015	A	20020627
US 20030036222	AA	20030220	US 254546	A	20020926
US 6323071	BA	20011127	US 233146	A	19990119
US 6338991	BA	20020115	US 439997	A	19991115
US 6413805	BA	20020702	US 670122	A	19960625
US 6479331	BA	20021112	US 688229	A	19960729

Priority Data (No,Kind,Date):

JP 92350545 A 19921204  
 JP 93298944 A 19931104  
 JP 93204775 A 19930727  
 JP 93147001 A 19930526  
 CN 98118382 A 19980815  
 JP 9379006 A 19930312  
 JP 94131413 A 19940520  
 JP 93347643 A 19931224  
 JP 93329760 A 19931201  
 JP 94335043 A 19941219  
 JP 93347641 A 19931224  
 JP 98204533 A 19941219  
 KR 944945 A3 19940312  
 JP 93186891 A 19930630  
 US 341106 A 19941118  
 US 160908 A3 19931203  
 US 365744 A 19941229  
 US 266712 A3 19940628  
 US 248220 A 19940524  
 US 160908 A2 19931203  
 US 661013 A 19960610  
 US 341106 A3 19941118  
 US 709111 A 19960906  
 US 208880 B1 19940311  
 US 993492 A 20011127  
 US 439997 A3 19991115  
 US 233146 A3 19990119  
 US 661013 A3 19960610  
 US 180015 A 20020627  
 US 670122 A3 19960625  
 US 208880 B3 19940311  
 US 254546 A 20020926  
 US 688229 A3 19960729  
 US 365743 B1 19941229  
 US 233146 A 19990119  
 US 661013 A1 19960610  
 US 439997 A 19991115  
 US 670122 A 19960625  
 US 688229 A 19960729

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04596089      \*\*Image available\*\*

METHOD OF MANUFACTURING THIN FILM TRANSISTOR

PUB. NO.:      **06-267989** [JP 6267989 A]

PUBLISHED:      September 22, 1994 (19940922)

INVENTOR(s):      CHIYOU KOUYUU

TAKAYAMA TORU

TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:      05-079006 [JP 9379006]

FILED:          March 12, 1993 (19930312)

INTL CLASS:      [5] H01L-021/336; H01L-029/784; H01L-021/20

JAPIO CLASS:      42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL:          Section: E, Section No. 1647, Vol. 18, No. 673, Pg. 31,  
December 19, 1994 (19941219)

#### ABSTRACT

PURPOSE: To improve the throughput with maintained mass-productivity by a method wherein a catalyst element with a specific concentration is introduced into amorphous silicon to reduce the crystallization temperature, and the activation temperature of the doping impurities is reduced with the catalyst element introduced into the silicon film.

CONSTITUTION: At first, a ground film 11 of oxide silicon is formed on a substrate 10, and a genuine amorphous silicon film 12 is deposited and an oxide silicon film 13 is deposited on it. After the oxide silicon film 12 is annealed in a nitrogen atmosphere, it is patterned to form an island-shaped silicon region 14, then, a silicon film is deposited, the silicon film is patterned to form a gate electrode 16. Then, impurities are implanted into the silicon region with the gate electrode as a mask. After that, the annealing is performed in the nitrogen gas to activate the impurities. Then, a contact hole is formed to form a wiring 19a, 19b for the TFT electrode.

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-267989

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 21/336

29/784

21/20

8122-4M

9056-4M

H 0 1 L 29/ 78

3 1 1 Y

審査請求 未請求 請求項の数5 FD (全 5 頁)

(21)出願番号

特願平5-79006

(22)出願日

平成5年(1993)3月12日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72)発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72)発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社半

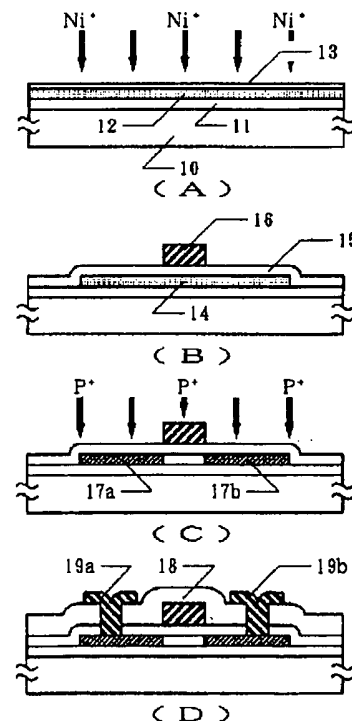
導体エネルギー研究所内

(54)【発明の名称】 薄膜トランジスタの作製方法

(57)【要約】

【目的】 量産性に優れた結晶性シリコンの活性層を有する薄膜トランジスタ(TFT)および、そのようなTFTを安価に製造する方法を提供する。

【構成】 アモルファスシリコン膜に触媒元素をイオン注入等の手段で不純物領域に導入し、これをガラス基板の歪み温度以下の温度で結晶化させ、さらに、ゲート絶縁膜、ゲート電極を形成し、自己整合的に不純物を注入した後、基板の歪み温度よりも低い温度でアニールしてドーピング不純物の活性化をおこなう。



## 【特許請求の範囲】

【請求項1】 基板上にアモルファスシリコン膜を形成する第1の工程と、

前記アモルファスシリコン膜に $1 \times 10^{17} \text{ cm}^{-3}$ またはそれ以上の濃度の触媒元素を導入する第2の工程と、

前記アモルファスシリコン膜を熱アニールすることによって結晶化させる第3の工程と、

前記シリコン膜上にゲイト電極を形成する第4の工程と、

前記ゲイト電極をマスクとして、前記シリコン膜中にドーピング不純物を導入する第5の工程と、

前記シリコン膜を熱アニールすることによって、導入された不純物の活性化をおこなう第6の工程とを有することを特徴とする薄膜トランジスタの作製方法。

【請求項2】 請求項1において、触媒元素は、ニッケル、鉄、コバルト、白金の少なくとも1つであることを特徴とする薄膜トランジスタの作製方法。

【請求項3】 基板上にアモルファスシリコン膜を形成する第1の工程と、

前記アモルファスシリコン膜に $1 \times 10^{17} \text{ cm}^{-3}$ またはそれ以上の濃度の触媒元素を導入する第2の工程と、

前記アモルファスシリコン膜上にゲイト電極を形成する第3の工程と、

前記ゲイト電極をマスクとして、前記シリコン膜中にドーピング不純物を導入する第4の工程と、

前記シリコン膜を熱アニールすることによって、導入された不純物の活性化をおこなう第5の工程とを有することを特徴とする薄膜トランジスタの作製方法。

【請求項4】 基板上にアモルファスシリコン膜を形成する第1の工程と、

前記アモルファスシリコン膜に触媒元素を電気的に加速して意図的に導入する第2の工程と、

前記アモルファスシリコン膜上にゲイト電極を形成する第3の工程と、

前記ゲイト電極をマスクとして、前記シリコン膜中にドーピング不純物を導入する第4の工程と、

前記シリコン膜を熱アニールすることによって、導入された不純物の活性化をおこなう第5の工程とを有することを特徴とする薄膜トランジスタの作製方法。

【請求項5】 請求項4において、得られたシリコン膜中に含まれるニッケルの濃度を2次イオン質量分析法によって分析された最低値が $1 \times 10^{17} \text{ cm}^{-3}$ またはそれ以上であることを特徴とする薄膜トランジスタの作製方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ(TFT)およびその作製方法に関するものである。本発明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上、いずれに

も形成される。特に本発明は、熱アニールによる結晶化、活性化を経て作製される薄膜トランジスタに関する。

## 【0002】

【従来の技術】 最近、絶縁基板上に、薄膜状の活性層(活性領域ともいう)を有する絶縁ゲイト型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲイトトランジスタ、いわゆる薄膜トランジスタ(TFT)が熱心に研究されている。これらは、透明な絶縁基板上に形成され、マトリクス構造を有する液晶等の表示装置において、各画素の制御用に利用することや駆動回路に利用することが目的であり、利用する半導体の材料・結晶状態によって、アモルファスシリコンTFTや結晶性シリコンTFTというように区別されている。

【0003】 一般にアモルファス状態の半導体の電界移動度は小さく、したがって、高速動作が要求されるTFTには利用できない。また、アモルファスシリコンでは、P型の電界移動度は著しく小さいので、Pチャネル型のTFT(PMOSのTFT)を作製することができず、したがって、Nチャネル型TFT(NMOSのTFT)と組み合わせて、相補型のMOS回路(CMOS)を形成することができない。

【0004】 一方、結晶半導体は、アモルファス半導体よりも電界移動度が大きく、したがって、高速動作が可能である。結晶性シリコンでは、NMOSのTFTだけでなく、PMOSのTFTも同様に得られるのでCMOS回路を形成することが可能で、例えば、アクティブマトリクス方式の液晶表示装置においては、アクティブマトリクス部分のみならず、周辺回路(ドライバー等)をもCMOSの結晶性TFTで構成する、いわゆるモノリシック構造を有するものが知られている。このような理由から、最近では結晶性シリコンを使用したTFTの研究開発が盛んである。

## 【0005】

【発明が解決しようとする課題】 結晶性シリコンを得る方法の1つとして、レーザーもしくはそれと同等な強光を照射することによってアモルファスシリコンを結晶化させる方法が挙げられるが、レーザーの出力の不安定性や極めて短時間のプロセスであることに由来する不安定性のために量産実用化の目処がついていない。

【0006】 現在、実用的に採用できると考えられる方法は、熱によってアモルファスシリコンを結晶化させる方法である。この方法では、パッチ間のばらつきが少ない結晶シリコンを得ることができる。しかし、問題がないわけではない。

【0007】 通常、結晶性シリコンを得るには600℃程度の温度での長時間のアニールか、もしくは1000℃以上の高温でのアニールが必要であった。後者の方法を採用すれば選択できる基板が石英に限られ、基板コストが非常に高くなった。前者の方法では基板選択の余地

は広がるが、なおかつ、熱アニールの際の基板の収縮等が問題となり、マスク合わせ失敗等による歩留り低下が指摘され、より低温での処理が求められている。具体的には、基板として用いられる各種無アルカリガラスの歪み温度以下（好ましくはガラスの歪み温度より50℃以上低い温度）でおこなうことが望まれている。本発明はこのような困難な課題に対して解答を与えんとするものである。本発明は、量産性を維持しつつ、上記の問題点を解決することを課題とする。

【0008】

【課題を解決するための手段】本発明者の研究の結果、実質的にアモルファス状態のシリコン被膜に微量の触媒材料を添加することによって結晶化を促進させ、結晶化温度を低下させ、結晶化時間を短縮できることが明らかになった。触媒材料としては、ニッケル(Ni)、鉄(Fe)、コバルト(Co)、白金(Pt)の単体、もしくはそれらの珪化物等の化合物が適している。具体的には、イオン注入法等の方法によってアモルファスシリコン膜中にこれらの触媒元素を導入し、その後、これを適当な温度、典型的には580℃以下の温度で熱アニールすることによって結晶化させることができる。

【0009】当然のことであるが、アニール温度が高いほど結晶化時間は短いという関係がある。また、ニッケル、鉄、コバルト、白金の濃度が大きいほど結晶化温度が低く、結晶化時間が短いという関係がある。本発明人の研究では、結晶化を進行させるには、これらのうちの少なくとも1つの元素の濃度が $10^{17}\text{cm}^{-3}$ またはそれ以上、好ましくは $5 \times 10^{18}\text{cm}^{-3}$ 以上存在することが必要であることがわかった。

【0010】一方、上記触媒材料はいずれもシリコンにとっては好ましくない材料であるので、できるだけその濃度が低いことが望まれる。本発明人の研究では、これらの触媒材料の濃度は合計して $10^{20}\text{cm}^{-3}$ を越えないことが望まれる。

【0011】本発明人は、この触媒元素の効果に着目し、これを利用することによって上記の問題を解決できることを見出した。すなわち、本発明においては、これらの触媒元素をアモルファスシリコン中に導入することによって、結晶化温度を低下させ、また、シリコン膜中に導入された触媒元素によって、ドーピング不純物の活性化（再結晶化）の温度を低下させる。特に本発明人の研究によれば、イオン注入法やイオンドーピング法によって最初から均等に触媒元素が分布している場合には、極めて結晶化が進行しやすかった。典型的には550℃以下の温度で十分に結晶化、活性化が可能であり、また、アニール時間も8時間以内、典型的には4時間以内で十分であることがわかった。

【0012】また、従来の熱アニールによる結晶化では1000Å以下のシリコン膜を結晶化させることは困難であったが、本発明では極めて容易に、しかも、より低

い温度、より短時間に結晶化させることができた。1000Å以下、特に500Å以下の薄い活性領域のTFETは特性が優れるだけでなく、段差が小さいためにゲイト絶縁膜やゲイト電極の段差部での不良が少なく、歩留りが高いという利点を有していた。しかしながら、従来は結晶化が困難であるという理由によって、レーザーアニールによる結晶化以外には作製する方法がなかった。本発明は、それまでレーザーアニールによって独占されていた技術領域を熱アニールによって実施でき、また、上記理由による歩留りを向上できるという意味でも画期的なものである。以下に実施例を用いて、より詳細に本発明を説明する。

【0013】

【実施例】

【実施例1】図1に本実施例の作製工程の断面図を示す。まず、基板（コーニング7059）10上にスパッタリング法によって厚さ2000Åの酸化珪素の下地膜11を形成した。さらに、プラズマCVD法によって、厚さ500～1500Å、例えば1500Åの真性（I型）のアモルファスシリコン膜12を、その上にスパッタリング法によって厚さ200Åの酸化珪素膜13を堆積した。そして、このシリコン膜にイオン注入法によって、ニッケルイオンを注入した。ドーズ量は $2 \times 10^{13} \sim 2 \times 10^{14}\text{cm}^{-2}$ 、例えば $5 \times 10^{13}\text{cm}^{-2}$ とした。この結果、アモルファスシリコン膜12のニッケルの濃度は、 $5 \times 10^{18}\text{cm}^{-3}$ 程度になった。（図1（A））

【0014】そして、このアモルファスシリコン膜を窒素雰囲気中、550℃、4時間アニールして結晶化させた。アニール後、シリコン膜をパターニングして、島状シリコン領域14を形成し、さらに、スパッタリング法によって厚さ1000Åの酸化珪素膜15をゲイト絶縁膜として堆積した。スパッタリングには、ターゲットとして酸化珪素を用い、スパッタリング時の基板温度は200～400℃、例えば250℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素=0～0.5、例えば0.1以下とした。

【0015】引き続き、減圧CVD法によって、厚さ3000～8000Å、例えば6000Åのシリコン膜（0.1～2%の燐を含む）を堆積した。なお、この酸化珪素とシリコン膜の成膜工程は連続的におこなうことが望ましい。そして、シリコン膜をパターニングして、ゲイト電極16を形成した。（図1（B））

【0016】次に、プラズマドーピング法によって、シリコン領域にゲイト電極をマスクとして不純物（燐）を注入した。ドーピングガスとして、フォスフィン（PH<sub>3</sub>）を用い、加速電圧を60～90kV、例えば80kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15}\text{cm}^{-2}$ 、例えば、 $2 \times 10^{15}\text{cm}^{-2}$ とした。この結果、N型の不純物領域17a、17bが形成された。（図1（C））

【0017】その後、窒素雰囲気中、500℃で4時間

アニールすることによって、不純物を活性化させた。この活性化の温度は先の結晶化の温度よりも低いことが望ましい。これは基板の収縮を極力少なくするためである。このとき、シリコン膜中にはニッケルが分布しているので、低温のアニールにも関わらず再結晶化が容易に進行した。こうして不純物領域17a、17bを活性化した。

【0018】続いて、厚さ6000Åの酸化珪素膜18を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFTのソース領域、ドレイン領域の電極・配線19a、19bを形成した。最後に、1気圧の水素雰囲気中で350℃、30分のアニールをおこなった。以上の工程によって薄膜トランジスタが完成した。(図1(D))

得られたTFTの活性領域および不純物領域のニッケルの濃度を2次イオン質量分析(SIMS)法によって分析したところ、いずれも $1 \times 10^{18} \sim 5 \times 10^{18} \text{ cm}^{-3}$ のニッケルが確認された。

【0019】〔実施例2〕 図2に本実施例の作製工程の断面図を示す。まず、基板(コーニング7059)20上にスパッタリング法によって厚さ2000Åの酸化珪素の下地膜21を形成した。さらに、プラズマCVD法によって、厚さ500~1500Å、例えば500Åの真性(I型)のアモルファスシリコン膜22、スパッタリング法によって厚さ200Åの酸化珪素膜23を堆積した。そして、このシリコン膜にイオン注入法によって、ニッケルイオンを注入した。ドーズ量は $2 \times 10^{13} \sim 2 \times 10^{14} \text{ cm}^{-2}$ 、例えば $1 \times 10^{14} \text{ cm}^{-2}$ とした。この結果、アモルファスシリコン膜12のニッケルの濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 程度になった。(図2(A))

【0020】さらに、テトラ・エトキシ・シラン( $\text{Si}(\text{OC}_2\text{H}_5)_4$ 、TEOS)と酸素を原料として、プラズマCVD法によって結晶シリコンTFTのゲイト絶縁膜として、厚さ1000Åの酸化珪素25を形成した。原料には、上記ガスに加えて、トリクロロエチレン( $\text{C}_2\text{HCl}_3$ )を用いた。成膜前にチャンバーに酸素を400SCCM流し、基板温度300℃、全圧5Pa、RFパワー150Wでプラズマを発生させ、この状態を10分保った。その後、チャンバーに酸素300SCCM、TEOSを15SCCM、トリクロロエチレンを2SCCMを導入して、酸化珪素膜の成膜をおこなった。基板温度、RFパワー、全圧は、それぞれ300℃、75W、5Paであった。成膜完了後、チャンバーに100Torrの水素を導入し、350℃で35分の水素アニールをおこなった。

【0021】引き続いて、スパッタリング法によって、厚さ3000~8000Å、例えば6000Åのタンタル膜を堆積した。タンタルの代わりにチタンやタングステン、モリブデン、シリコンでもよい。但し、後の活性

化に耐えられるだけの耐熱性が必要である。なお、この酸化珪素25とタンタル膜の成膜工程は連続的にこなうことが望ましい。そして、タンタル膜をパターンニングして、TFTのゲイト電極26を形成した。さらに、このタンタル配線の表面を陽極酸化して、表面に酸化物層27を形成した。陽極酸化は、酒石酸の1~5%エチレングリコール溶液中でおこなった。得られた酸化物層の厚さは2000Åであった。(図2(B))

【0022】次に、プラズマドーピング法によって、アモルファスシリコン領域にゲイト電極をマスクとして不純物(燐)を注入した。ドーピングガスとして、フォスフィン( $\text{PH}_3$ )を用い、加速電圧を80kVとした。ドーズ量は $2 \times 10^{15} \text{ cm}^{-2}$ とした。この結果、N型の不純物領域28a、28bが形成された。このとき、陽極酸化物のために、ゲイト電極26と不純物領域28とはオフセット状態となっている。(図2(C))

【0023】その後、窒素雰囲気中、500℃で4時間アニールすることによって、アモルファスシリコン膜の結晶化および不純物の活性化をおこなった。このとき、N型不純物領域28aおよび28b、および活性領域(ゲイト下の半導体領域)にはニッケルイオンが注入されているので、このアニールによって結晶化、活性化が容易に進行した。

【0024】続いて、層間絶縁物として厚さ2000Åの酸化珪素膜29をTEOSを原料とするプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってソース、ドレイン電極・配線30a、30bを形成した。以上の工程によって半導体回路が完成した。(図2(D))

【0025】作製された薄膜トランジスタの電界効果移動度は、ゲイト電圧10Vで $70 \sim 100 \text{ cm}^2/\text{Vs}$ 、しきい値は2.5~4.0V、ゲイトに-20Vの電圧を印加したときのリーク電流は $10^{-13} \text{ A}$ 以下であった。

【0026】

【発明の効果】本発明は、例えば、500~550℃というような低温、かつ、4時間という短時間でアモルファスシリコン膜の結晶化およびシリコン中のドーピング不純物の活性化をおこなうことによって、スループットを向上させることができる。加えて、従来、600℃以上のプロセスを採用した場合にはガラス基板の縮みが歩留り低下の原因として問題となっていたが、本発明を利用することによってそのような問題点は一気に解消できた。

【0027】このことは、大面積の基板を一度に処理できることを意味するものである。すなわち、大面積基板を処理することによって、1枚の基板から多くの半導体回路(マトリクス回路等)を切り出すことによって単価を大幅に低下させることができる。これを液晶ディスプレイ

レーに応用した場合には、量産性の向上と特性の改善が図られる。このように本発明は工業上有益な発明である。

【図面の簡単な説明】

【図1】 実施例1の作製工程断面図を示す。

【図2】 実施例2の作製工程断面図を示す。

【符号の説明】

10・・・基板

11・・・下地絶縁膜（酸化珪素）

12・・・アモルファスシリコン膜

13・・・酸化珪素膜

14・・・島状シリコン領域

15・・・ゲイト絶縁膜（酸化珪素）

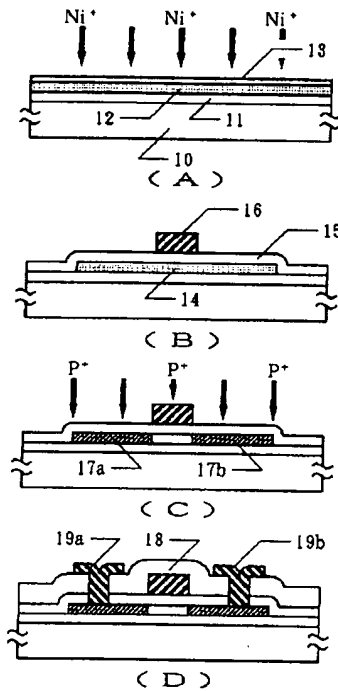
16・・・ゲイト電極（燐ドーピングされたシリコン）

17・・・ソース、ドレイン領域

18・・・層間絶縁物

19・・・金属配線・電極（窒化チタン／アルミニウム）

【図1】



【図2】

